

Processeurs de signaux et logique programmable

Unité d'enseignements — ELE119

Objectifs pédagogiques

- ◆ Compléter sa formation en électronique numérique.
- ◆ Programmer un processeur de signal (DSP) en C et en assembleur, pour réaliser des traitements en temps réel.
- ◆ Connaître les outils et les techniques de programmation de différents composants logiques programmables.

Public, conditions d'accès et prérequis

Avoir un niveau bac+2, posséder des connaissances en électronique numérique combinatoire et séquentielle, en traitement de signal, en assembleur sur microprocesseur et avoir déjà utilisé un langage évolué.

Présence et réussite aux examens

Pour l'année universitaire 2022–2023 :

- ◆ nombre d'inscrits : 20 ;
- ◆ taux de présence à l'évaluation : 60% ;
- ◆ taux de réussite parmi les présents : 67%.

Mots-clés

Processeur | Langage VHDL | Processeur de signal

Contenu

ELE119 est composée aux 2/3 de travaux pratiques.

Processeur des signaux (DSP)

- ◆ Architecture des DSP, différences par rapport aux microprocesseurs.
- ◆ Chaîne d'acquisition et de traitement du signal.
- ◆ Programmation en virgule fixe, notions d'optimisation et de *profiling*.

- ◆ Le DSP Texas TMS320C6713 : architecture, carte de développement, outil de développement (*Code Composer*).
- ◆ Mise en œuvre de filtrages numériques, synthèse directe de fréquence, modulation et démodulation en prenant en compte les contraintes temps réels.
- ◆ Découverte et utilisation de *Code Composer*.

Logique programmable

- ◆ Les familles de circuits logiques programmables (PROM, PAL, EPLD, FPGA).
- ◆ La technologie propre à chaque famille.
- ◆ Les performances et les domaines d'utilisation.
- ◆ Les outils de travail.
- ◆ Saisie de schéma.
- ◆ Synthèse logique et langage VHDL.
- ◆ Simulation fonctionnelle et dynamique.
- ◆ Implémentation du circuit et test.
- ◆ Usage des outils XILINX.

Modalité d'évaluation

Les 4 séances de regroupement obligatoires servent à valider sur maquette FPGA/DSP les TP réalisés en simulation à la maison.

Il y a 2 séances à la fin de la partie FPGA et 2 séances à la fin de la partie DSP.

Un examen théorique d'environ une heure est organisé à la fin de chaque partie FPGA/DSP.

en bref

Responsable Lounis Zeroul

Volume horaire 50 heures

Crédit ECTS 6

Lieu Centre Cnam Paris | Liban

Contact EPN03 – 01 40 27 24 81
virginie.dos-santos-rance@lecnam.net